

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 1 1 - 1 4 9 7 1 9

(43)公開日 平成11年(1999)6月2日

(51)Int. Cl.⁶ 識別記号

G 1 1 B 20/12

H 0 4 N 5/93

F I

G 1 1 B 20/12

H 0 4 N 5/93

E

審査請求 未請求 請求項の数 1 0 O L

(全 1 9 頁)

(21)出願番号 特願平9-348208

(22)出願日 平成9年(1997)12月17日

(31)優先権主張番号 特願平9-245657

(32)優先日 平9(1997)9月10日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 叶多 啓二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 岡田 俊二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 末永 信一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

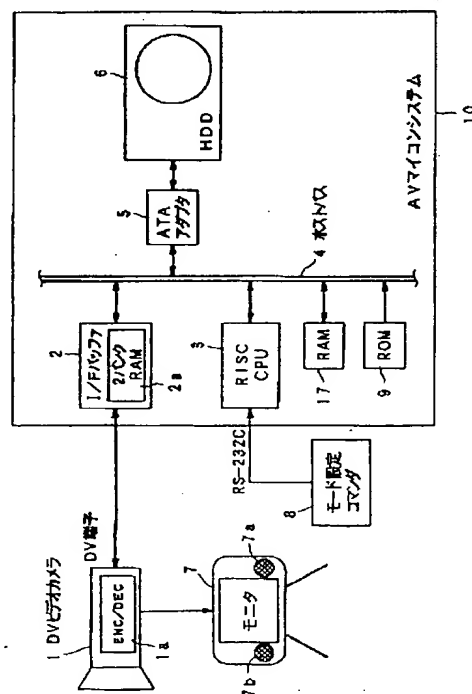
最終頁に続く

(54)【発明の名称】 情報記録装置及び方法並びに記録媒体

(57)【要約】

【課題】 ソフトウェア制御による変速再生を可能にする。

【解決手段】 情報記録装置は、論理セクタをアクセス単位としてオーディオ及び／又はビジュアルデジタルデータストリームを記録するHDDを備え、フレーム単位の整数倍で固定長となるオーディオ及び／又はビジュアルデジタルデータストリームを、該固定長のデータを記録データ単位とし、該記録データ単位を全て記録できる最小数の上記論理セクタに上記記録データ単位を割り当てるとともに、あまった部分にはダミーデータを充填するようなAVマイコンシステム10を有している。



【特許請求の範囲】

【請求項1】 論理セクタをアクセス単位とする記録媒体にデータを記録する情報記録装置であって、フレーム単位の整数倍で固定長となるデータを、該固定長を記録単位とし、該記録単位をすべて記録できる最小数の上記論理セクタに上記記録単位を割り当てる制御手段を有することを特徴とする情報記録装置。

【請求項2】 上記データは、音声及び／又は画像データであることを特徴とする請求項1記載の情報記録装置。

【請求項3】 記録データ単位に対する論理セクタの先頭からデータを書き込むことを特徴とする請求項1記載の情報記録装置。

【請求項4】 上記データは音声及び／又は画像データであって、論理セクタの容量を512Byteとすると、上記記録単位に対して割り当てられる上記論理セクタ数は、データの1フレームが119.2kByteである第1の規格に対しては233論理セクタであることを特徴とする請求項1記載の情報記録装置。

【請求項5】 上記データはデジタル音声及び／又は画像データであり、論理セクタの容量を512Byteとすると、上記記録データ単位に対して割り当てられる上記論理セクタ数は、データストリームの1フレームが59.6kByteの第2の規格に対しては117論理セクタ、データストリームの1フレームが238.4kByteの第3の規格に対しては466論理セクタであることを特徴とする請求項1記載の情報記録装置。

【請求項6】 記録データ単位以上の容量のバッファメモリをホストバスとのインターフェイス回路に有し、スタッフィング部分のデータを除いて時間管理された音声及び／又は画像データを得ることを特徴とする請求項1記載の情報記録装置。

【請求項7】 上記データはMPEG規格に準拠しており、GOP単位で固定長化して論理セクタに割り当てられることを特徴とする請求項1記載の情報記録装置。

【請求項8】 論理セクタをアクセス単位とする記録媒体にデータを記録する情報記録方法であって、フレーム単位の整数倍で固定長となるデータを、該固定長を記録単位とし、該記録単位をすべて記録できる最小数の上記論理セクタに上記記録単位を割り当てる制御工程を有することを特徴とする情報記録方法。

【請求項9】 上記データは、音声及び／又は画像データであることを特徴とする請求項8記載の情報記録方法。

【請求項10】 論理セクタがアクセス単位とされる記録媒体であって、フレーム単位の整数倍で固定長となるデータを、該固定長を記録単位とし、該記録データ単位をすべて記録できる最小数の上記論理セクタに上記記録データを割り当てて記録されることを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ハードディスクにオーディオ及び／又はビジュアルデジタルデータストリームを記録する情報記録装置及び方法並びに記録媒体に関する。

【0002】

【従来の技術】従来、ハードディスクドライブ (Hard Disc Drive; HDD) は、パーソナルコンピュータ (PC) のペリフェラル (周辺機器) として発展してきた歴史から、いわゆる離散テキストデータを信頼性よく、できるだけ速くランダムにアクセスする方向での技術向上がなされてきた。

【0003】また、近年、マルチメディア等の発達に従い、いわゆるデジタルビデオ (DV方式SD) 規格 (転送レート28.6Mbps) やMPEG2 (Moving Pictures Experts Group Phase 2) 規格 (最大転送レート15Mbps) のようなオーディオビジュアル (Audio Visual; AV) デジタルデータストリームとAVデジタルストリーム以外のランダムアクセスデータを、ディスク上で自由自在に扱うことができるいわゆるAV HDDシステムを廉価に構成し得るHDD及びホストシステムが必要となってきた。

【0004】

【発明が解決しようとする課題】従来、AVデジタルデータストリーム、特に圧縮ストリームをHDDに記録する場合は変速再生を考慮に入れた情報記録装置は存在しなかった。

【0005】そのため、HDDの論理セクタ単位でデータのリード／ライトを行うという性質を利用し、HDDにAVデジタルデータストリームを記録再生する場合に、ホスト側のアプリケーションソフトウェアのみで、容易に変速再生ができるようにデータの記録ができるように望まれていた。

【0006】この発明は、上述の実情に鑑みてなされるものであって、AVデジタルデータストリーム等をHDDに記録する際に変速再生に対応するような情報記録装置及び方法並びに記録媒体を提供することを目的とする。

【0007】

【発明を解決するための手段】上述の課題を解決するために、この発明に係る情報記録装置は、論理セクタをアクセス単位とする記録媒体にデータを記録する情報記録装置であって、フレーム単位の整数倍で固定長となるデータを、該固定長を記録単位とし、該記録単位をすべて記録できる最小数の上記論理セクタに上記記録単位を割り当てる制御手段を有するものである。

【0008】この発明に係る情報記録方法は、論理セクタをアクセス単位とする記録媒体にデータを記録する情報記録方法であって、フレーム単位の整数倍で固定長と

なるデータを、該固定長を記録単位とし、該記録単位をすべて記録できる最小数の上記論理セクタに上記記録単位を割り当てる制御工程を有するものである。

【0009】この発明に係る記録媒体は、論理セクタがアクセス単位とされる記録媒体であって、フレーム単位の整数倍で固定長となるデータを、該固定長を記録単位とし、該記録データ単位をすべて記録できる最小数の上記論理セクタに上記記録データを割り当てて記録されるものである。

【0010】

【発明の実施の形態】以下、この発明に係る情報記録装置及び方法並びに記録媒体について図面を参照して説明する。

【0011】上記情報記録装置は、図1に示すように、撮像した被写体の映像をDV信号として供給するDVビデオカメラ1と、このDVビデオカメラ1等から受け取ったDV信号を処理するAVマイコンシステム10と、このAVマイコンシステム10のRISC CPU3に対してモードの設定を命ずるモード設定コマンド8と、上記DVビデオカメラ1の映像をモニタするモニタ7とを有するディスクカメラシステムである。

【0012】上記DVビデオカメラ1は、被写体をレンズやCCD等の光学系にて撮像して得た映像信号をエンコード/デコード部1aにて符号化してDV端子から出力するカメラである。

【0013】上記AVマイコンシステム10は、情報を伝達する共通バスであるホストバス4と、上記DVビデオカメラ1とホストバス4との間の情報の伝送を媒介するインターフェイスバッファ2と、情報が記録されるHDD6と、上記ホストバス4と上記HDD6との間の情報の伝送を媒介するいわゆるATA (AT Attachment) アダプタ5とを有している。

【0014】上記ホストバス4は、このAVマイコンシステム10の各部分の間での情報の伝送をなされるパラレルラインの伝送線である。

【0015】上記インターフェイスバッファ2は、上記DVビデオカメラ1と上記ホストバス4間でオーディオ及び/又はビジュアルデジタルデータストリーム（以下、AVデジタルデータストリームという。）の伝送の媒介をする。例えば、インターフェイスバッファ2は、AVデジタルデータストリームの転送速度を変換したり、転送のタイミングを調整したりする。このインターフェイスバッファ2は、内部に2バンクRAM2aを有している。この2バンクRAM2aは、交互に切り替えられて情報の転送を調整する2個のRAMから構成されている。

【0016】上記HDD6は、入力されるAVデジタルデータストリームを記録する固定ディスク装置である。このHDD6における記録のフォーマットについては、後に詳細に説明する。上記ATA (AT Attachment) ア

ダプタ5は、上記ホストバス4と上記HDD6との間に介在しAVデジタルデータストリームをホストバス4のパラレルデータと上記HDD6のデータ形式のデータとの間の変換をするものである。

【0017】また、上記AVマイコンシステム10は、情報を集中して処理する中央処理部であるRISC CPU3と、揮発性のメモリであるRAM17と、不揮発性のメモリであるROM9とを有している。

【0018】上記RISC CPU3は、上記ホストバス4に接続され、データ転送や上記HDD6に対する制御等、このAVマイコンシステム10における情報記録方法の一連の動作を制御する。この一連の動作は、例えば上記ROM9に記録され、必要に応じて読み出されて実行される。ここで、“RISC”とは、演算処理速度を向上させるためにCPUを制御する基本的な命令を簡素化しその個数を少なくした縮小命令セットコンピュータをいう。

【0019】上記RAM17は、上記ホストバス4に接続され、データを一時的に記録される揮発性のメモリである。上記ROM9は、上記ホストバス4に接続され、所定のデータを記録されている不揮発性のメモリである。このROM9には、例えば、情報処理方法の一連の手順に係る制御コードが記録される。

【0020】上記モニタ7は、表示画面とスピーカ7aとを有し、上記DVビデオカメラ1にて取得した映像及び音声を出力するものである。このモニタ7には、上記DVビデオカメラ1を介して上記AVマイコンシステム10に記録される、又は上記AVマイコンシステム10において再生される映像及び音声出力される。

【0021】記録時の入力信号の流れを説明すると、まず、DVビデオカメラ1によりビデオ電気信号に変換された映像信号は、ビデオ圧縮するエンコード/デコード部1aにより、高能率符号化され、オーディオデータをマルチプレクスされ、DV方式で定義されるDIFブロックからなるAVデジタルデータストリームが得られる。AVデジタルデータストリームは、標準解像度のSD (Standard Definition)、高圧縮SD、高解像度テレビジョン受像器 (High Definition Television; HDTV) に対応するHD (High Definition) の3つの仕様によりそれぞれ規格として定義されている。

【0022】ここで、上記SD仕様についてはデータストリームの1フレームが119.2kByteの固定長で圧縮される。また、上記高圧縮SD仕様についての1フレームは59.6kByteであり、上記HD仕様についての1フレームは238.4kByteである。

【0023】このAVデジタルストリームは、インターフェイスバッファ2を介して、RISC CPU3が接続されているホストバス4に供給される。ホストバス4に供給されるAVデジタルデータストリームは、RISC CPU3のソフトウェアによりデータ転送制御さ

れ、ATAアダプタ5を介して、セクタ単位でHDD6にライト（書き込み;write）がなされる。

【0024】続いて、上記情報処理装置の備えるHDD6の構成について、図2を参照して説明する。

【0025】回転駆動部121は、スピンドルモータ121Aとその回転速度を検出するセンサ121Bより構成され、磁気ディスク122（記憶手段）を回転させるようになされている。ヘッド部123は、磁気ディスク122に記録信号を書き込むとともに、磁気ディスク122に記録されている信号を読み出すようになされている。

【0026】記録再生信号処理回路124は、記録時、磁気ディスク122に書き込まれる記録信号に対して、チャンネルコーディング（記録符号化）を行い、記録再生時、磁気ディスク122より読み出された再生信号に対して、記録時とは逆の変換を行い、エラー検出及びエラー訂正処理を行うようになされている。ヘッド・アーム駆動制御回路125は、磁気ヘッドを磁気ディスク122の所定のトラック位置に移動させるように磁気ヘッドを支持するアームを制御する。回転スピンドル駆動制御回路126は、回転駆動部121を構成するスピンドルモータ121Aの駆動制御を行うようになされている。

【0027】ディスクコントローラ127は、記録再生信号処理回路124、ヘッド・アーム駆動制御回路125、および回転スピンドル駆動制御回路126を制御するようになされており、ディスクコントローラ127を構成するディスクインターフェイス部131は、記録再生信号処理回路124、ヘッド・アーム駆動制御回路125、および回転スピンドル駆動制御回路126と、ディスクフォーマット制御部133および内部システムバスとの間のインターフェイス処理を行うようになされている。

【0028】ディスク・フォーマット制御部133は、磁気ディスク122上のデータのアドレスマップを格納したアドレスマップ部133-1に従って、アドレスマップ制御を行うとともに、磁気ディスク122のフォーマット処理を行うようになされている。ディスクデータタイミング制御部132は、記録再生信号処理回路124に対して、回転速度に応じたクロック信号を供給するようになされている。データバス・内部システム・タイミング制御部134は、それ以外のディスクコントローラ127の各部にクロック信号を供給するようになされている。

【0029】マルチプレクス/デマルチプレクス回路138は、データFIFO136を介して供給されたデータと、レジスタ114aからのコマンドをマルチプレクスし、インターフェイス113を介してATAアダプタ5に供給したり、ATAアダプタ5を介して供給された外部からのデータを、データとレジスタ命令とに分離す

るようになされている。

【0030】データFIFO136は、マルチプレクス/デマルチプレクス回路138より供給されたデータを順に記憶し、記憶した順番に内部システムバス135に出力したり、内部システムバス135より供給されたデータを順に記憶し、マルチプレクス/デマルチプレクス回路138に供給するようになされている。レジスタ114aは、マルチプレクス/デマルチプレクス回路138より受け取ったコマンドやステータス等を記憶し、内部システムバス135に出力したり、内部システムバス135より供給されたコマンドやステータス等を記憶し、マルチプレクス/デマルチプレクス回路138に供給するようになされている。

【0031】CPU142は、ROM141に記憶されている制御プログラムに従って各部を制御し、各種ディスクパラメータ、実行するコマンド、実行状態に応じて、データの記録/再生処理、駆動系の制御処理、ホストコンピュータとの間の通信処理を行うようになされている。RAM140は、CPU142が処理を行う上で必要とされるデータを記憶したり、その他の各種データを記憶するようになされている。

【0032】マルチプレクス/デマルチプレクス回路138は、インターフェイス113を介して外部からのデータとその記録命令が供給されたとき、データと記録命令とを分離して、データをデータFIFO136に供給し、コマンドやステータス等をレジスタ114aに供給するようになされている。また、インターフェイス113を介して外部からのデータの再生命令が供給されたとき、再生命令は、レジスタ114aに供給するようになされている。リード・ライトホストインターフェイス143は、ホストとの間でのインターフェイス処理を行うようになされている。

【0033】続いて、上記情報記録装置の具体例について、図3を参照して説明する。この具体例においては、上記図1に示した情報記録装置におけるAVマイコンシステム10のブロックがインターフェイスバッファボード19とRISC CPUボード20とに分離している。そして、これらインターフェイスバッファボード19とRISC CPUボード20との内部構成がより詳細に示されている。

【0034】上記インターフェイスボード19は、ネットワークとのインターフェイスを行うネットワークインターフェイス11と、データの転送を調整する2バンクRAM2aとを有している。これらインターフェイスボード19及びRISC CPUボード20は、ホストバス4にて結ばれている。

【0035】上記ネットワークインターフェイス11は、上記DVビデオカメラ1等からのネットワークと上記2バンクRAM2aとに接続され、上記ネットワークを介して入力するデータのインターフェイスを行う。上

記2バンクRAM2aは、一端を上記ネットワークインターフェイス11に、他端をホストバス4に接続され、第1のRAM33及び第2のRAM34の2個のRAMを第1の切り替えスイッチ31及び第2の切り替えスイッチ32にて切り替えられて書き込み及び読み出しを交互になされることによりデータの転送等を調整する。

【0036】また、上記インターフェイスボード19は、各RAMを制御するコントロールRAMレジスタ14と、I/Oを制御するコントロールI/Oレジスタ15とを有している。

【0037】上記コントロールRAMレジスタ14とコントロールI/Oレジスタ15は、上記ホストバス4に接続され、データを一時的に記憶する揮発性のレジスタである。

【0038】上記RISC CPUボード20は、縮小命令セットを備えるCPUであるRISC CPU3と、不揮発性のメモリであるROM9と、揮発性のメモリであるSRAM17とを有している。これらRISC CPU3、ROM9及びSRAM17は、それぞれ上記ホストバス4に接続されている。

【0039】上記ROM9は、例えば1MBのものを用いることができる。上記SRAM (Static Random Access Memory) 17は、一度書き込んだデータは電源を落とすまで保持される再書き込みが不要なRAMであり、例えば2MBの容量のものを用いることができる。

【0040】また、上記RISC CPUボード20は、ATAアダプタ5と、HDD6と、水晶発振器21とを有している。

【0041】IDEとして知られるATA方式アダプタ5は、上記ホストバス4とHDD6とを直結するためのインターフェイスである。このATAアダプタ5とHDD6との間は、EIDE (Enhanced Intelligent Drive Electronics) として知られる、ANSI (American National Standards Institute) で定められたATA標準方式にて結ばれている。このEIDEは、IDE互換であるインターフェイスであり、各データ転送速度のモードを有しており、その最大転送速度は33MByte/秒であり、例として13.3MByte/秒のデータ転送速度のモードでのデータ転送速度で十分に行うことができる。

【0042】また、EIDEは、ディスク上の全データセクタへのセクタアドレッシングにおいて、従来のシリンダ/ヘッド/セクタの各番号でセクタにアクセスする方式の他に、全データセクタを論理ブロックとして扱って論理ブロック番号 (LBA) でセクタにアクセスする方式を有している。

【0043】上記HDD6は、AVデジタルデータストリームを記録される固定ディスク装置であり、例えば、ディスクの径が3.5インチの3.5インチ型のHDDを利用することができる。

【0044】上記水晶発振器21は、一定の周波数の基準信号を供給する発振器である。図中では、上記水晶発振器21は、周波数28MHzの基準信号を発生して上記RISC CPU3に供給している。

【0045】本発明の実施の形態としては、例としてATA方式インターフェイスを有するハードディスクを使用して、ATAプロトコルに準拠して制御して映像音声デジタルデータを記録再生している例を説明している。ここで、ATAプロトコルにおいて必要となる、ATAデバイス専用のアドレス信号、アクセスウエイト制御信号、割り込み信号、データバイトバッファ制御信号の生成を行って、RISC CPUとATA方式インターフェイスを有するハードディスクを接続させているATAアダプタ5の回路機構を、図4を参照して簡潔に説明しておく。

【0046】本実施の形態におけるATAアダプタ5では、CPUのホストバス4に複数の各デバイスを接続できるように外部ベクタ割り込み方式を使用している。

【0047】ATAアダプタ5はその内部に第1のATAインターフェイス101と第2のATAインターフェイス111を有している。第1のATAインターフェイス101はその内部に、アドレスデコード回路102とアクセスウエイト部104、双方向バッファ103を有している。

【0048】第1のATAインターフェイス101はホストバス4のアドレスバス4aから32ビット相当の振るアドレス情報を含むアドレスデータが入力され、内蔵するアドレスデコード回路102にてATAインターフェイスアドレスのセレクト102a、16ビット長のワードデータのATAデータアドレスのセレクト102b、8ビットのレジスタ設定データのATAレジスタアドレスのセレクト102cを行っている。

【0049】そして、これらのアドレスデコード結果から、ハードディスクのATAコネクタインターフェイスに各種制御信号を生成して与えている。ここでCPUからの入力は32ビット相当のアドレス信号、CPUのREAD、WRITE制御信号、ベクタフェッチ制御信号、そしてCPUの有するデータバスのうちからATAアダプタ5に向けてCPUによりデータバス幅を設定された16ビットデータバス幅の上位バイト、下位バイト各データである。

【0050】ここで32ビット相当のアドレス信号とは、実質的にCPU内部の32ビットアドレス情報をもつアドレス信号と言うことであり、例えば32ビットアドレスバスの上位数ビットについては、CPUのアクセス可能な全アドレスマップのうちから所定のアドレスエリア部分領域アクセス範囲を選択する領域選択アドレス信号として代わりに有しているものも含む。

【0051】また、第2のATAインターフェイス111はその内部に、プライオリティエンコーダ112、外

部ベクタ生成回路 1 1 3 を有している。

【0052】第1のATAインターフェイス 1 0 1 は、ハードディスクとのATA標準の信号の入出力として、アドレス信号としては RISC CPU の 3 2 ビット相当のアドレス信号をフルアドレスデコードしてATAデバイスおよびATAデバイスの内部の各レジスタとデータレジスタをアドレスセレクトするアドレスデコード回路 1 0 2 が設けられている。ATAデバイスへの出力アドレス信号としては CS 0 -、CS 1 -、そして 3 2 ビット相当のホストバスの下位側アドレスの ADR

[3...1] を 1 ビット分アドレスビットシフトさせた D A [2...0] の各アドレス信号出力がATAデバイスに入力されている。

【0053】また、制御信号として、CPU側からの I O R -、I O W - の読み出し書き込み信号に加えてさらに、ディスクドライブ側からデータ転送中のホストCPUに対するATAデバイスからのアクセスウエイト要求信号である I O R D Y、さらに、ATA標準のプロトコルによるディスクドライブの制御レジスタ設定やデータ転送処理フローにおける割り込み処理要求制御信号である I N T R Q 信号といったこれら各制御信号入力に対して、高速な処理の RISC CPU をATAプロトコルのタイミングに適合させるために、アクセスウエイト回路 1 0 4 が設けられている。

【0054】またこのアクセスウエイト回路 1 0 4 には、外部割り込み要求に対してCPUが外部ベクタ番号データを取り込む際に後述する外部ベクタ生成回路 1 1 3 でのベクタ番号データ発生時間を待つアクセスウエイトを発生させるために、ベクタ取込み状態制御（ストローブ）信号であるベクタフェッチ制御信号入力と一緒に設けられている。

【0055】データ入出力信号としては、ATA標準のハードディスクドライブ内部に設けられているコントロール・ブロックレジスタ群、コマンド・ブロックレジスタ群に対してATAプロトコルに準じて設定レジスタ値の読み書きに使用する下位データバイト D D [7...0]、および 1 6 ビットワードのデータ転送の際にこの下位データバイトとともに用いる上位データバイト D D [15...8] の入出力が設けられている。

【0056】第2のATAインターフェイス 1 1 1 は、外部ベクタ割り込み回路であり、その内部には複数のデバイスの中から割り込み要求のあったデバイスのCPUに対する割り込み処理の優先順位を決めるプライオリティエンコーダ 1 1 2 と、割り込み要求のあったデバイスの優先順位情報をアドレスデータで与えてベクタ番号データを生成して、プログラムによってアクセスプログラム処理を行っているCPUに提供する外部ベクタ生成回路 1 1 3 からなる。

【0057】プライオリティエンコーダ 1 1 2 は各デバイス毎の割り込み要求信号をそれぞれ入力され、予めデバ

イスからの割り込み入力毎に割り当てられた優先順位をCPUに返している。ATA標準のディスクドライブからの割り込み要求信号 I N T R Q をうけて、このディスクドライブの優先順位を例えば 4 つの割り込みレベル信号である I R L 0 - ~ I R L 3 - にエンコードしてホストバス 4 c のコントロールバス 4 c に出力することにより、CPUに取り込まれる。

【0058】またこれとともに、外部ベクタ生成回路 1 1 3 は、割り込み要求のあったデバイスに割り当てられた上述の割り込みレベル信号をうけたCPUが発するベクタフェッチのストロー部（状態制御）信号と R E A D 信号、およびこの状態で割り込み優先レベル I R L 0 - ~ I R L 3 - をうけて、CPUにより内部で下位 4 ビットのアドレス信号に変換されCPUから出力されたきた割り込み優先レベル番号を A D R [3...0] のアドレスバスの下位 4 ビットで入力される。

【0059】ここで、ベクタフェッチのストロー部（状態制御）信号が発せられている期間はアドレスバスの下位 4 ビットはCPUからの割り込み優先レベル番号のために使われている。そして、この 2 つの制御信号入力と下位 4 ビットアドレス入力をうけて、外部ベクタをバイト長でCPUのデータバスの下位バイトに出力して、選択されたデバイスに割り当てられた外部ベクタ番号データをCPUに取り込ませている。

【0060】以上により 3 2 ビット RISC-CPU と ATA 方式インターフェイスを有するディスクドライブを接続している。

【0061】この具体例においては、上記情報記録装置は、モード設定コマンド 8 として表示部一体型の PC を用いている。この PC の表示部に表示されているように、このモード設定コマンド 8 を介し、少なくとも“録音”、“再生”、“スロー”、“スチル”及び“サーチ”の操作をすることができる。

【0062】続いて、この情報記録装置におけるデータの流れの概略について、図 5 を参照して説明する。上記 D V ビデオカメラ 1 の備えるエンコード／デコード部 1 a と、E I D E 規格の H D D 6 は、ネットワークインターフェイスを介し、さらに上記 2 バンク R A M 2 a を介して相互に情報を送受している。これらエンコード／デコード部 1 a 及びネットワークインターフェイスと H D D 6 の間の情報の伝送は、上記 H D D 6 と 2 バンク R A M 2 a の間の伝送路に接続する RISC CPU 3 によって制御されている。

【0063】上記エンコード／デコード部 1 a から上記 2 バンク R A M には、ネットワークインターフェイスを介して 2 8 . 6 M b p s の転送レートにて I E E E 1 3 9 4 規格に従う A V デジタルデータストリームにてデータが転送される。上記 2 バンク R A M 2 a から上記 H D D 6 に入力するデータは、3 4 M b p s の転送レートにて転送されてライトされる。

10

20

30

40

50

【0064】逆に、上記HDD 6からリード（読み込み；read）されたデータは、ライトの場合と同じく34 Mbpsの転送レートにて上記2バンクRAM 2 aに伝送される。上記2バンクRAM 2 aから上記エンコード／デコード部1 aには、ネットワークインターフェイスを介して、例えば、28.6 Mbpsの転送レートのIEEE 1394規格に従うAVデジタルデータストリームとしてデータが伝送される。

【0065】ここで、上記エンコード／デコード部1 aとネットワークインターフェイスと2バンクRAM 2 a 10の間の伝送路におけるデータの転送レートと、上記HDD 6と2バンクRAM 2 aの間の伝送路における転送レートとは相違している。

【0066】HDD 6の入力データは高速だがデータの連続性があり、ネットワークインターフェイスの入出力データはそれより高速ではないがより連続性がある。

【0067】上記2バンクRAM 2 aは、第1のフレームメモリ33及び第2のフレームメモリ34の2個のフレームメモリを備え、これら第1のフレームメモリ33及び第2のフレームメモリ34を切り替えてライト（書込み）及びリード（読み出し）を交互に行うことにより、データの転送速度の相違を調整している。

【0068】すなわち、2バンクRAM 2 aの各々のフレームメモリは、片方のフレームメモリに1フレーム時間内でデータを書き込み、他方のフレームメモリからは1フレーム時間内にデータを読み出すことにより、データの転送速度やデータの連続性が相違していても、1フレーム時間内の各メモリへの書き込みと読み出しを完了させればデータの連続性が維持されるので、連続デジタルデータの転送を行うことができる。

【0069】続いて、上記2バンクRAM 2 aにおけるデータの転送を、図6に示すデータ転送タイミング図を参照して説明する。

【0070】上記HDD 6からネットワークインターフェイスとエンコード／デコード部1 aに情報が伝送されるリード時には、上記2バンクRAM 2 aにおいては、図中のAに示すようにデータが転送される。

【0071】最初のフレームF 0においては、第1のフレームメモリ33にはデータA 1（第1のフレームメモリ33に記録されたデータに指標“A”を付して区別する。）がライトされ、第2のフレームメモリ34からはデータB 0（第2のフレームメモリ34に記録されたデータを指標“B”を付して区別する。）がリードされる。

【0072】ここで、上記RISC CPU 3は、常にステータスレジスタを監視し、RISC CPU 3は、第1のフレームメモリ33へのデータA 1のライトが終了すると“1”にし、第2のフレームメモリ34からのデータB 0のリードが終了すると“0”にする。この第1のフレームメモリ33へのデータA 1のライトに要す 50

る時間は、第2のフレームメモリ34におけるデータB 0からのリードに要する時間よりも短いので、データA 1のライトが終了したタイミングでステータスレジスタを“1”にし、その後、データB 0のリードが終了したタイミングでステータスレジスタは、“0”にする。

【0073】このステータスレジスタが“0”になったところで、第1のフレームメモリ33と第2のフレームメモリ34とが切り替えられ、今度は、第1のフレームメモリ33にリードが行われ、第2のフレームメモリ34にライトが行われる。

【0074】よって、最初のフレームF 0に続く第1のフレームF 1においては、第1のフレームメモリ33から最初のフレームF 0にてライトしたデータA 1がリードされ、第2のフレームメモリ34には、データB 1が書き込まれる。

【0075】ここで、第1のフレームメモリ33へのデータB 1のライトと第2のフレームメモリ34からのデータA 1のリードは、ステータスレジスタが“0”の状態、かつ、図中の矢印42にて示されるように、フレームパルスが“ロー”レベルから“ハイ”レベルに立ち上がるタイミングで開始される。

【0076】このフレームパルスは、立ち上がりの時刻から所定時間を経過すると立ち下がる。

【0077】さらに、上記第1のフレームF 1に続く第2のフレームF 2においては、上記第2のフレームメモリ34から上記第1のフレームにてライトしたデータB 1がリードされ、上記第1のフレームメモリ33には、データA 2がライトされる。これら第1のフレームF 1及び第2のフレームF 2におけるライト及びリードのタイミングは、最初のフレームF 0におけるタイミングと同様である。

【0078】ここでは、ライト時にはRISC CPU 3は、1フレームに相当する119.2 kBytesをRAMにライト終了後、ステータスレジスタを“0”から“1”にする。リード時には、1フレーム分をリード終了後にステータスレジスタを“1”から“0”にする。

【0079】上述のようなフレームデータの流れは、全体として、A0,B0,A1,B1,A2,B2,A3,B3,A4,B4,・・・のようになる。このようにして第1のフレームメモリ33及び第2のフレームメモリ34のリード及びライトのタイミングを調整して転送することにより転送速度を変換している。

【0080】上記エンコード／デコード部1 aからHDD 6に情報が伝送されるライト時には、上記2バンクRAM 2 aにおいては、図中のBに示すようにデータが転送される。

【0081】最初のフレームF 0においては、第1のフレームメモリ33にはデータA 1がライトされ、第2のフレームメモリ34からはデータB 0がリードされる。

【0082】ここで、上記RISC CPU3は、常にステータスレジスタを監視し、RISC CPU3は、第2のフレームメモリ34からのデータB0のリードが終了すると“1”にし、第1のフレームメモリ33へのデータA1のライトが終了すると“0”にする。この第2のフレームメモリ34からのデータB0のリードに要する時間は、第1のフレームメモリ33へのデータA1のライトに要する時間よりも短いので、データB0のリードが終了したタイミングでステータスレジスタを“1”にし、その後、データA1のライトが終了したタイミングでステータスレジスタは、“0”にする。

【0083】このステータスレジスタが“0”になったところで、第1のフレームメモリ33と第2のフレームメモリ34とが切り替えられ、今度は、第1のフレームメモリ33からリードが行われ、第2のフレームメモリ34へライトが行われる。

【0084】よって、最初のフレームF0に続く第1のフレームF1においては、第1のフレームメモリ33から最初のフレームF0にてライトしたデータA1がリードされ、第2のフレームメモリ34には、データB1が書き込まれる。

【0085】ここで、第1のフレームメモリ33へのデータB1のライトと第2のフレームメモリ34からのデータA1のリードは、ステータスレジスタが“0”の状態、かつ、図中の矢印42にて示されるように、フレームパルスが“ロー”レベルから“ハイ”レベルに立ち上がるタイミングで開始される。

【0086】このフレームパルスは、立ち上がりの時刻から所定時間を経過すると立ち下がる。

【0087】さらに、上記第1のフレームF1に続く第2のフレームF2においては、上記第2のフレームメモリ34から上記第1のフレームにてライトしたデータB1がリードされ、上記第1のフレームメモリ33には、データA2がライトされる。なお、これら第1のフレームF1及び第2のフレームF2におけるライト及びリードのタイミングは、最初のフレームF0におけるタイミングと同様である。

【0088】ここでは、ライト時にはRISC CPU3が1フレームに相当する119.2kBytesをRAMにライト終了後、ステータスレジスタを“0”から“1”にする。リード時には、1フレーム分をリード終了後にステータスレジスタを“1”から“0”にする。

【0089】次に、AVデジタルデータストリームを記録する記録媒体のフォーマットについて説明する。

【0090】記録媒体であるHDDの記録フォーマットは、図7に示すように、512Byteのセクタ24を単位として構成されている。DV方式が標準解像度のSD信号に対応するSD仕様の場合には、119.2kByteのAVデジタルデータストリームを1フレームとしている。そこで、119.296kByteである連

続する233セクタの最初から上記AVデジタルデータストリームを連続して記録され、最後のセクタのAVデジタルデータストリームが書き込まれなかった余白23にはスタッフィングがなされる。このスタッフィングされる部分には、任意のデータが書き込まれる。

【0091】DV方式が高圧縮SD信号に対応する高圧縮SD仕様の場合には、図8に示すように、512Byteのセクタ24が117個連続した59.904kBytesの領域の先頭から59.6kBytesの1フレームの高圧縮SD仕様のDV信号を連続して書き込み、最後のセクタのAVデジタルデータストリームが書き込まれなかった余白23にはスタッフィングをする。このように高圧縮SD仕様のAVデジタルデータストリームの記録は、AVデジタルデータストリームが書き込まれた部分22とスタッフィングされた部分23とからなる117セクタを単位として記録されている。

【0092】DV方式がHD信号に対応するHD仕様の場合には、図9に示すように、512Byteのセクタ24が466個連続した238.592kBytesの領域の先頭から238.4kBytesの1フレームのHD仕様のDV信号を連続して書き込み、最後のセクタのAVデジタルデータストリームが書き込まれなかった余白23にはスタッフィングをする。このようにHD仕様のAVデジタルデータストリームの記録は、AVデジタルデータストリームが書き込まれた部分22とスタッフィングされた部分23とからなる466セクタを単位として記録されている。

【0093】次に、上記情報記録方法に係る一連の工程についてフローチャートを参照して説明する。

【0094】上述のような記録フォーマットに従いSD仕様のDV方式のAVデジタルデータストリームが記録されたHDDから再生がなされる際には、図10に示すような手順に従って行われる。

【0095】ステップS11においては、第0フレームのAVデジタルデータストリームがリードされる。SD仕様のDV方式の場合には、1フレームのAVデジタルデータストリームは233セクタを単位として記録されているので、このAVデジタルデータストリームの記録の始点を第Sセクタとすると、この第Sセクタから1フレームのAVデジタルデータストリームに対応する233セクタの領域がリードされる。そして、ステップS12に進む。

【0096】ステップS12においては、第1フレームのAVデジタルデータストリームがリードされる。ここでは、第0フレームのAVデジタルデータストリームの記録の終点の次のセクタである第S+233セクタから1フレームのAVデジタルデータストリームに対応する233セクタの領域がリードされる。

【0097】以下、同様の手順により、第2フレームから第n-2フレームまでのDV信号がリードされる。そ

して、第 $n-1$ フレームに対応するステップS13に進む。

【0098】ステップS13においては、第 $n-1$ フレームのAVデジタルデータストリームがリードされる。ここでは、第 $n-2$ フレームのAVデジタルデータストリームの記録の終点の次のセクタである第 $S+233*(n-1)$ セクタから1フレームのAVデジタルデータストリームに対応する233セクタの領域がリードされる。そして、ステップS14に進む。

【0099】ステップS14においては、第 n フレームのAVデジタルデータストリームが読み出される。ここでは、第 $n-1$ フレームのAVデジタルデータストリームの記録の終点の次のセクタである第 $S+233*n$ セクタから1フレームのAVデジタルデータストリームに対応する233セクタの領域がリードされる。このようにして第0フレームから第 n フレームまでのAVデジタルデータストリームのリードを終えたので、AVデジタルデータストリームの再生に係るこの一連の工程を終了する。

【0100】続いて、上記SD仕様のDV方式のフォーマットに従いHDDにAVデジタルデータストリームの記録を行う際の一連の手順を、図11に示すフローチャートを参照して説明する。

【0101】最初のステップS21においては、第0フレームのAVデジタルデータストリームがライトされる。ここでは、この一連のAVデジタルデータストリームの記録を開始する始点である第 S セクタの先頭からSD仕様のAVデジタルデータストリームの1フレームに対応する233セクタの領域がライトされる。そして、ステップS22に進む。

【0102】ステップS22においては、第1フレームのAVデジタルデータストリームがライトされる。ここでは、第0フレームの記録の終点のセクタの次のセクタである第 $S+233$ セクタからSD信号の1フレームに対応する233セクタに第1フレームのAVデジタルデータストリームが記録される。

【0103】以下、同様にして、第2フレームから第 $n-2$ フレームまでのAVデジタルデータストリームが記録される。そして、ステップS23フレームに進む。

【0104】ステップS23においては、第 $n-1$ フレームのAVデジタルデータストリームがライトされる。ここでは、第 $n-1$ フレームの対応する233セクタに第 $n-1$ フレームのAVデジタルデータストリームが記録される。そして、ステップS24に進む。

【0105】ステップS24においては、第 n フレームのAVデジタルデータストリームがライトされる。ここでは、第 n フレームの対応する233セクタに第 n フレームのAVデジタルデータストリームが記録される。そして、第 n フレームのAVデジタルデータストリームのライトをもってAVデジタルデータストリームの記録に

係るこの一連の手順を終了する。

【0106】上述の説明においてはDV方式としてはSD仕様について例示したが、高圧縮SD仕様のAVデジタルデータストリームに関する場合にはリード/ライトの単位を117セクタに、HD仕様のAVデジタルデータストリームに関する場合にはHDDにおけるリード/ライトの単位を466セクタに変更することにより対応することができる。

【0107】続いて、上記情報記録方法の一連の工程について、上記図1を参照して上述した情報記録装置の各部の動作と関連させて説明する。

【0108】再生時は、上記図10に示した工程のようにソフトウェア制御され、セクタ単位でHDD6よりAVデジタルデータストリームデータがリードされ、ATAアダプタ5及びホストバス4を介してインターフェイスバッファ2の2バンクRAM2aに交互にライトされ、フレームパルス基準でリードされることにより、リアルタイム性が確保されたAVデジタルデータストリームが得られ、DVビデオカメラの高効率エンコード/デコード部1aに供給され、再生動画像がモニター7で得られる。オーディオに関しても上記エンコード/デコード部1aを介して供給され、再生オーディオがスピーカ(SP)7aより得られる。

【0109】このように、HDD6においては、HOST側で論理ブロックアドレス(Logical Block Address; LBA)をソフトウェアで設定すれば、セクタ単位で任意のリード/ライトを行えるため、上述のような記録フォーマットによりAVデジタルデータストリームを記録することにより、セクタを指定してリードしインターフェイスバッファ2の2バンクRAM2aにライトしリードすることにより、スタッフィングデータの不要なデータを除くことができる、読み出しセクタをソフトウェアで各種制御しリードされたデータをホストバス4を介してインターフェイスバッファ2の2バンクRAM2aにライトすることにより、変速再生をもRISC CPU3のソフトウェア制御だけで実現できる。

【0110】上記モード設定コマンド8は、録画/再生/変速再生モード等に対応した制御コードのIDをRS-232Cを介してRISC CPU3に送っている。RISC CPU3では、これらのコマンドIDを基に、それぞれに対応するアプリケーションソフトウェアを起動され、ドライバソフトウェアによりHDD6のリードライトを制御する。

【0111】なお、本発明で使用しているデジタルインターフェイスであるIEEE1394のアシクロナスモードを使い、モードコマンド信号を外部よりRISC CPU3に供給することもできる。もちろん、RISC CPU3は、従来の縮小命令セットではない命令セットを有するCISCでも可能である。

【0112】なお、本実施の形態に係る図1に示したA

Vマイコンシステム10においては、インターフェイスバッファ2の2バンクRAM2a、HDD6のレジスタ、RAM17、ROM9のすべてがRISC CPU3のメインメモリにマッピングされているユニフォーマットとなっている。こうすることにより、供給されるデータ(AVデジタルデータストリームデータ、ITデータとも)をHDD6に、RISC CPU3のデータ転送制御ソフトウェアのみにより、自由自在にリード/ライトすることが可能となっている。

【0113】なお、上述の実施の形態ではDV規格に基づいて1フレーム単位で固定長化されて記録される例を示したが、例えばMPEG規格にて圧縮される画像、音声信号についても、圧縮率をコントロールすることにより図12に示すように容量が512kB/1024sectのGOP(Group Of Picture)単位でMPEG信号を固定長化して記録することが可能である。

【0114】即ち、上述の実施の形態では、DVビデオカメラを用いて、DV信号をハードディスクの論理セクタと整数倍の関係として記録再生することによりアクセスの良い変速再生を実現できるシステムについて述べてきたが、DVビデオカメラに変えてMPEG信号を受信して出力する装置を用いて、上述したAVマイコンシステム10と同様なシステムを構成する場合、出力するMPEG信号のGOP及び/又はIフレームのデータ最大数を固定になるように制御し、これをハードディスクの論理セクタの整数倍に当てはめることによって、MPEG信号を入力する装置においても同様にアクセス速度のよい変速再生を実現できることになる。

【0115】このようにMPEG信号を記録再生する情報記録装置は、図13に示すように、アナログ方式のビデオ信号及びオーディオ信号を受信するアンテナ150を介して信号を入力するチューナー151と、チューナー151で入力したビデオ信号をデジタルデータに変換するA/D変換回路152と、A/D変換回路152からデジタル方式のビデオ信号が入力されるNTSCデコーダ153と、NTSCデコーダ153でベースバンド信号に変換されたビデオ信号を入力するMPEG2エンコーダ154と、デジタル方式のMPEGデータが入力されるマルチプレクサ155とを備える。

【0116】また、この情報記録装置は、チューナー151に入力されたオーディオ信号が入力されるA/D変換回路156と、A/D変換回路156でデジタル方式とされたオーディオ信号が入力されるMPEG1エンコーダ157とを備える。

【0117】チューナー151は、アンテナ150で受信した例えばNTSC(National Television System Committee)方式の信号が入力される。このチューナー151は、アンテナ150で受信したビデオ信号及びオーディオ信号を受信するとともに、検波を施す。そして、このチューナー151は、検波を施したビデオ信号をA

/D変換回路152に出力し、オーディオ信号をA/D変換回路156に出力する。

【0118】A/D変換回路152は、ビデオ入力端子又はチューナー151からのビデオ信号にA/D変換処理を施してビデオデータとする。そして、A/D変換回路152は、例えばNTSC方式のビデオデータをNTSCデコーダ153に出力する。

【0119】NTSCデコーダ153には、A/D変換回路152からのNTSC方式のビデオデータが入力される。このNTSCデコーダ153は、入力されたビデオデータに伸長処理を施してベースバンド信号を生成する。そして、このNTSCデコーダ153は、スイッチ158の端子1を介してMPEG2エンコーダ154にベースバンド信号を出力する。

【0120】MPEG2エンコーダ154は、NTSCデコーダ153からのベースバンド信号に圧縮処理を施す。このとき、このMPEG2エンコーダは、入力されたベースバンド信号をMPEG2方式のデジタルデータとなるように圧縮処理を施す。このMPEG2エンコーダ154は、上述したように、入力されたベースバンド信号に対してハードディスクの論理セクタの整数倍となるように所定の圧縮率で符号化処理を施す。すなわち、MPEG2エンコーダ154は、入力したGOP及び/又はIフレームのデータ最大値がハードディスクの論理セクタの整数倍のデータ量となるように圧縮符号化を施す。

【0121】また、このMPEG2エンコーダ154は、スイッチ158の端子2、スイッチ162の端子2を介してMPEG2デコーダ160からベースバンド信号が入力される。このMPEG2エンコーダ154は、MPEG2デコーダ160からのベースバンド信号に対しても所定の圧縮率で符号化を施す。

【0122】一方、チューナー151は、アンテナ150から入力された信号のうち、オーディオ信号をA/D変換回路156に出力する。A/D変換回路156は、入力されたオーディオ信号にA/D変換処理を施してオーディオデータとする。そして、このA/D変換回路156は、オーディオデータをMPEG1エンコーダ157に出力する。

【0123】MPEG1エンコーダ157は、A/D変換回路156からのオーディオデータにMPEG1方式で圧縮処理を施して、マルチプレクサ155に出力する。

【0124】マルチプレクサ155は、MPEG2エンコーダ154からのビデオデータと、MPEG1エンコーダ157からのオーディオデータとを多重化処理する。このマルチプレクサ155は、ビデオデータをVとし、オーディオデータをAとすると、例えばMPEG信号のGOPの時間単位にVAVAVA・・・と時間軸の圧縮を行いデジタルデータストリームを作成する。この

10

20

30

40

50

マルチプレクサ155は、多重化処理して得たデジタルデータストリームをインターフェイスバッファ2に出力する。

【0125】また、このマルチプレクサ155は、インターフェイスバッファ2からHDD6内のハードディスクに記録されたデジタルデータストリームが入力される。このマルチプレクサ155は、インターフェイスバッファ2から入力されたデジタルデータストリームをビデオデータとオーディオデータとに分割する。このマルチプレクサ155は、分割して得たビデオデータをスイッチ171の端子2を介してマルチプレクサ169に出力するとともに、スイッチ159の端子1を介してMP

EG2デコーダ160に出力する。また、このマルチプレクサ169は、分割して得たオーディオデータをディレイ回路170を介してマルチプレクサ169に出力するとともに、MPEG1デコーダ161に出力する。

【0126】また、この情報記録装置は、MPEG方式のデジタルデータを受信するアンテナ166と、STB(セットトップボックス)167と、デジタルI/F回路168と、マルチプレクサ169と、ディレイ回路170とを備える。

【0127】アンテナ166は、上述と同様に、例えばMPEG方式のデジタルデータを入力する。このアンテナ166は、受信したデジタルデータをRF信号としてSTB167に出力する。

【0128】STB167は、アンテナ166からのデジタルデータとしてフロントエンドで受信、検波する。そして、このSTB167は、例えばスクランブル等がかけられたデジタルデータのスクランブルを解除してデジタルI/F回路168に出力する。

【0129】また、このSTB167は、デジタルI/F回路からデジタルデータが入力される。このSTB167には、MPEGデコーダが内蔵されている。このSTB167は、このMPEGデコーダを用いてデジタルI/F回路168からのデジタルデータにデコード処理を施し、例えば圧縮されたビデオデータ及びオーディオデータを伸長して映像信号と音響信号とに変換する。

【0130】デジタルI/F回路168は、物理層/リンク層処理回路を有しており、STB167からのデジタルデータに変換処理等の信号処理を施してマルチプレクサ169に出力する。

【0131】また、このデジタルI/F回路168には、マルチプレクサ169からビデオデータとオーディオデータとが多重化されてなるデジタルデータが入力される。このデジタルI/F回路168は、このデジタルデータをSTB167に出力する。

【0132】マルチプレクサ169は、デジタルI/F回路168からのデジタルデータをビデオデータとオーディオデータとに分割する分割処理を施す。このマルチプレクサ169は、分割処理して得たビデオデータをス

スイッチ171の端子1、スイッチ159の端子2を介してMPEG2デコーダ160に出力する。また、このマルチプレクサ169は、オーディオデータをディレイ回路170に出力する。

【0133】また、このマルチプレクサ169は、マルチプレクサ155からビデオデータがスイッチ171を介して入力されるとともに、オーディオデータがディレイ回路170を介して入力される。そして、このマルチプレクサ169は、入力されたビデオデータとオーディオデータとを多重化してデジタルI/F回路168に出力する。

【0134】ディレイ回路170は、マルチプレクサ169からのオーディオデータにディレイ調整を施す。このディレイ回路170は、入力されたオーディオデータとビデオデータとの時間差を調整するようにディレイ処理を施して、マルチプレクサ155に出力する。

【0135】また、このディレイ回路170は、マルチプレクサ155で分割されたビデオデータとオーディオデータのうち、オーディオデータのみが入力される。このディレイ回路170は、ビデオデータとのディレイ調整を行って、マルチプレクサ169にオーディオデータを出力する。

【0136】また、この情報記録装置は、ビデオデータがスイッチ159の端子2を介して入力されるMPEG2デコーダ160と、マルチプレクサ155で分割して得たオーディオデータが入力されるMPEG1デコーダ161と、MPEG2デコーダ160でデコードされたビデオデータがスイッチ162の端子1を介して入力されるNTSCエンコーダ163と、NTSCエンコーダ163で符号化されたデータが入力されるD/A変換回路164と、MPEG1デコーダ161でデコードされたオーディオデータが入力されるD/A変換回路165とを備える。

【0137】MPEG2デコーダ160は、HDD6に記録されたデジタルデータストリームをRISC CPU3のデータ転送ソフトウェアにより読出して、ATAアダプタ5、ホストバス4、インターフェイスバッファ2を介してマルチプレクサ155で分割して得たビデオデータがスイッチ159の端子1を介して入力される。このMPEG2デコーダ160は、圧縮されて入力されたビデオデータに伸長処理を施す。また、このMPEG2デコーダ160は、スイッチ159の端子2を介してマルチプレクサ169からビデオデータが入力される。このMPEG2デコーダ160は、入力されたビデオデータに伸長処理を施したビデオデータをスイッチ162に出力する。

【0138】ここで、スイッチ159は、マルチプレクサ169からのビデオデータをMPEG2デコーダ160に入力するときには端子2と接続され、マルチプレクサ155からのビデオデータをMPEG2デコーダ16

10

20

30

40

50

0に入力するときには端子1と接続されるように制御される。

【0139】また、スイッチ162は、MPEG2デコーダ160からのビデオデータをスイッチ158に出力するときには端子2と接続され、MPEG2デコーダ160からのビデオデータをNTSCエンコーダ163に出力するときには端子1と接続されるように制御される。

【0140】NTSCエンコーダ163は、MPEG2デコーダ160でデコードされたビデオデータがスイッチ162の端子1を介して入力される。このNTSCエンコーダ163は、入力されたビデオデータにNTSC方式で圧縮処理を施してD/A変換回路164に出力する。

【0141】D/A変換回路164は、NTSCエンコーダ163からのビデオデータにD/A変換処理を施してビデオ信号とする。そして、このD/A変換回路164は、ビデオ信号をビデオ出力端子に出力する。

【0142】MPEG1デコーダ161には、マルチプレクサ155から分割して得たオーディオデータが入力される。このMPEG1デコーダ161は、入力したオーディオデータに伸長処理を施す。そして、このMPEG1デコーダ161は、伸長処理を施したオーディオデータをD/A変換回路165に出力する。

【0143】D/A変換回路165は、MPEG1デコーダ161からのオーディオデータにD/A変換処理を施してオーディオ信号とする。そして、このD/A変換回路165は、オーディオ信号をオーディオ出力端子に出力する。

【0144】このような情報記録装置では、HDD6内のハードディスクにアンテナ166で受信したMPEG方式のデジタルデータを記録するときには、先ず、デジタルデータをSTB167、デジタルI/F回路168を介してマルチプレクサ169に出力する。

【0145】次に、マルチプレクサ169では、入力されたデジタルデータをビデオデータとオーディオデータとに分割処理する。そして、このマルチプレクサ169では、オーディオデータをディレイ回路170に出力する。

【0146】また、このマルチプレクサ169では、ビデオデータをスイッチ171、スイッチ159を介してMPEG2デコーダ160に出力する。このとき、スイッチ171は端子1と接続され、スイッチ159は端子2に接続されるように制御されている。

【0147】次に、MPEG2デコーダ160では、圧縮されたビデオデータに伸長処理を施してスイッチ162、スイッチ158を介してMPEG2エンコーダ154に出力する。このとき、スイッチ162は端子2と接続され、スイッチ158は端子2と接続するように制御されている。

【0148】次に、MPEG2エンコーダ154では、所定の圧縮率で入力されたビデオデータに圧縮処理を施す。このとき、MPEG2エンコーダ154では、HDD6内のハードディスクの論理セクタの整数倍となるような圧縮率で、GOP及び/又はIピクチャーの圧縮処理を行う。

【0149】次に、ディレイ回路170でディレイ処理が施されたオーディオデータがタイミングが制御されてマルチプレクサ155に出力されるとともに、MPEG2エンコーダ154からのビデオデータがマルチプレクサ155に出力される。

【0150】次に、マルチプレクサ155では、入力されたオーディオデータとビデオデータとに多重化処理を施してデジタルデータストリームを作成し、インターフェイスバッファ2、ホストバス4、ATAアダプタ5を介してHDD6内のハードディスクに記録を行う。したがって、この情報記録装置では、ハードディスクの論理セクタ単位でMPEGデータが記録されることとなる。

【0151】また、この情報記録装置では、HDD6内のハードディスクにアンテナ150で受信したNTSC方式のアナログ信号を記録するときには、先ず、NTSC方式のアナログ信号をチューナー151に出力する。

【0152】次に、チューナー151では、アンテナ150からのアナログ信号を検波してビデオ信号をA/D変換回路152に出力するとともにオーディオ信号をA/D変換回路156に出力する。このとき、A/D変換回路152では、ビデオ入力端子からビデオ信号を入力してもよく、A/D変換回路156ではオーディオ入力端子からオーディオ信号を入力しても良い。

【0153】次に、A/D変換回路152では、入力されたビデオ信号にA/D変換処理を施すことによってビデオデータとし、NTSCデコーダ153に出力する。

【0154】次に、NTSCデコーダ153では、A/D変換回路152からのビデオデータに伸長処理を施して、ビデオデータをベースバンド信号としてMPEG2エンコーダ154に出力する。このとき、スイッチ158は、端子1に接続するように制御される。

【0155】次に、MPEG2エンコーダ154では、スイッチ158を介してベースバンド信号が入力される。このMPEG2エンコーダ154では、入力したベースバンド信号を所定の圧縮率でMPEGデータとるようにエンコードしてMPEG2方式のビデオデータとする。そして、このMPEG2エンコーダ154では、HDD6内のハードディスクの論理セクタの整数倍でGOP及び/又はIフレームが圧縮されるようにエンコードを行う。そして、このMPEG2エンコーダ154では、ビデオデータをマルチプレクサ155に出力する。

【0156】一方、チューナー151からオーディオ信号が入力されたA/D変換回路156では、オーディオ信号にA/D変換処理を施すことでオーディオデータと

してMPEG1エンコーダ157に出力する。

【0157】そして、MPEG1エンコーダ157では、A/D変換回路156からのオーディオデータにMPEG1方式でエンコードを施してマルチプレクサ155に出力する。

【0158】そして、マルチプレクサ155では、MPEG2エンコーダ154から入力されたビデオデータとMPEG1エンコーダ157から入力されたオーディオデータとを多重化処理してデジタルデータストリームを生成する。

【0159】次に、マルチプレクサ155では、生成したデジタルデータストリームをインターフェイスバッファ2、ホストバス4、ATAアダプタ5を介してHDD6内のハードディスクに記録する。したがって、この情報記録装置では、ハードディスクの論理セクタ単位でMPEG方式のデジタルデータストリームが記録されることとなる。

【0160】情報記録装置は、HDD6内のハードディスクに記録されたデジタルデータストリームを再生するときには、まず、RISC CPU3により起動されるデータ転送ソフトウェアによりハードディスクの論理セクタ単位でHDD6に格納されたデジタルデータストリームを読み出す。このとき、RISC CPU3では、ソフトウェア制御により、例えば種々の変速再生モードでHDD6に格納されているデジタルデータストリームを読み出してもよい。

【0161】次に、この情報記録装置では、HDD6から読み出したデジタルデータストリームを、ATAアダプタ5、ホストバス4、インターフェイスバッファ2を介してマルチプレクサ155に出力する。そして、このマルチプレクサ155では、入力されたデジタルデータストリームに分割処理を施してビデオデータとオーディオデータとする。

【0162】そして、この情報記録装置では、ハードディスクに記録されたデジタルデータストリームをデジタルデータとして再生するときには、ビデオデータをマルチプレクサ155からスイッチ171を介してマルチプレクサ169に出力するとともに、オーディオデータをディレイ回路170でディレイが調整されてマルチプレクサ169に出力する。

【0163】次に、このマルチプレクサ169では、入力されたオーディオデータとビデオデータとを多重化してデジタルI/F回路168に出力する。そして、このオーディオデータとビデオデータとは、STB167に入力され、このSTB167内のMPEGデコーダで音声信号、映像信号とされ、例えばRISC CPU3のソフトウェア制御により変速再生、シームレス再生、ノンリニアエディット再生がなされる。

【0164】一方、この情報記録装置でハードディスクに記録されたデジタルデータストリームをアナログ信号

として再生するときには、マルチプレクサ155からビデオデータをスイッチ159の端子1を介してMPEG2デコーダ160に出力する。

【0165】次に、MPEG2デコーダ160では、マルチプレクサ155からのビデオデータにデコード処理を施してスイッチ162の端子1を介してNTSCエンコーダ163に出力する。

【0166】次に、NTSCエンコーダ163では、MPEG2デコーダ160からのデジタルデータをNTSC方式のビデオデータに変換する。そして、このNTSCエンコーダ163は、NTSC方式のビデオデータをD/A変換回路164に出力する。

【0167】次に、D/A変換回路164では、NTSCエンコーダ163からのビデオデータにD/A変換処理を施してNTSC方式のビデオ信号としてビデオ出力端子に出力する。

【0168】また、マルチプレクサ155は、オーディオデータをMPEG1デコーダ161に出力する。このMPEG1デコーダ161では、マルチプレクサ155からのオーディオデータにデコード処理を施してD/A変換回路165に出力する。

【0169】次に、D/A変換回路165では、MPEG1デコーダ161からのオーディオ信号にD/A変換処理を施してオーディオ端子に出力する。

【0170】したがって、この情報記録装置は、上述のように、MPEG方式で圧縮されたデジタルデータを記録するときにはMPEG2デコーダ160でデコードして、MPEG2エンコーダ154で所定の圧縮率でハードディスクの論理セクタの整数倍となるようにエンコードして記録し、NTSC方式の信号が入力されたときにはMPEG2エンコーダ154でエンコードして記録するので、記録されたデジタルデータの再生を行うときに例えばデータ転送ソフトウェアを用いてハードディスクのアドレス情報を指定するだけで記録されたデジタルデータの再生を行うことができ、容易にハードディスクにアクセスすることができる。したがって、このような情報記録装置では、例えば読出し速度を可変として再生を行うことが容易となり、様々な再生方式を採用することができる。

【0171】なお、上述した情報記録装置においては、MPEG2エンコーダ154で圧縮処理を行うときにハードディスクの論理セクタの整数倍となるように圧縮を行う一例について説明したが、MPEG2エンコーダ154は複数の固定レートで圧縮処理を行ってもよい。すなわち、このMPEG2エンコーダ154は、圧縮してハードディスクに記録したデジタルデータストリームを編集用として使用するときには8Mbps、SP(Standard Play)として使用するときには4Mbps、LP(Long Play)として使用するときには2Mbpsとなるように圧縮処理を行っても良い。このとき、情報記録

10

20

30

40

50

装置でハードディスクに記録されたデジタルデータストリームの再生を行うときには、例えばRISC CPU 3内にデータ転送ソフトウェアの制御により、読み込む容量を変化させて再生を行うことにより、上述と同様に再生を行うことができる。

【0172】

【発明の効果】本発明により、ホスト側から論理セクタ単位のリードコマンドを送るだけで所用のAVデジタルデータストリームを得ることができるようになるため、AVデジタルデータストリーム再生におけるキュー/レビュー、スロー、スチル、ファーストサーチ、ファーストアクセス、ノンリニアエディティング等の変速再生を、ホスト側のアプリケーションソフトウェアの構築のみにより容易に実現することができる。

【図面の簡単な説明】

【図1】本発明を適用した情報記録装置の構成の一例を示すブロック図である。

【図2】本発明を適用した情報記録装置のHDDの構成の一例を示すブロック図である。

【図3】本発明を適用した情報記録装置の実際の具体例の構成の一例を示すブロック図である。

【図4】本発明を適用した情報記録装置のATAアダプ

タの構成の一例を示すブロック図である。

【図5】本発明を適用した情報記録装置におけるデータの流の一例を説明する図である。

【図6】本発明を適用した情報記録装置の2バンクRAMにおけるデータ転送のタイミングを示す図である。

【図7】SD仕様のデータストリームを記録する上記HDDのフォーマットを示す図である。

【図8】高圧縮SD仕様のデータストリームを記録する上記HDDのフォーマットを示す図である。

【図9】HD仕様のデータストリームを記録する上記HDDのフォーマットを示す図である。

【図10】本発明を適用した情報記録方法において再生を行う際の一連の工程を示すフローチャートである。

【図11】本発明を適用した情報記録方法において録画を行う際の一連の工程を示すフローチャートである。

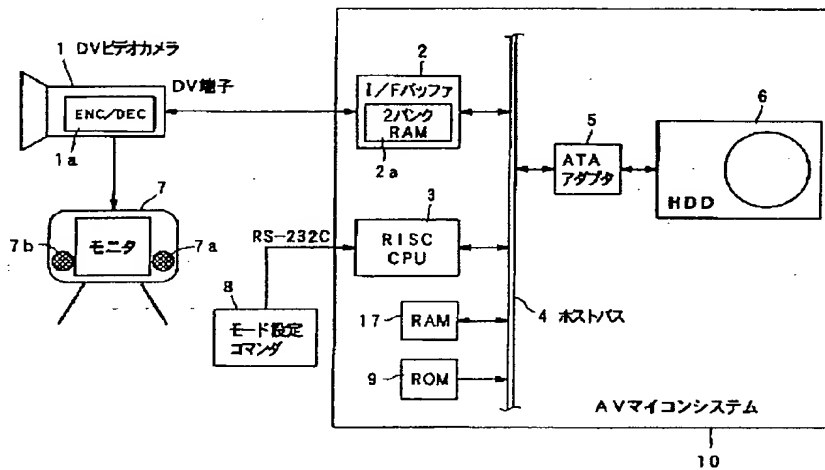
【図12】GOP単位のMPEG信号を示す図である。

【図13】本発明を適用した情報記録装置の他の一例を示すブロック図である。

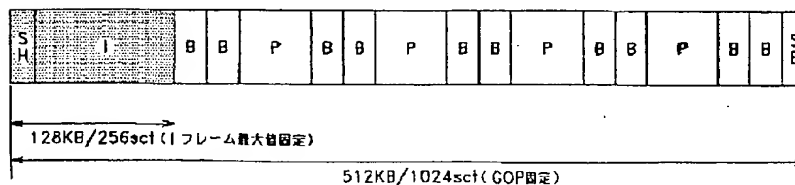
【符号の説明】

1 DVビデオカメラ、2 インターフェイスバッファ、3 CPU、6 HDD

【図1】

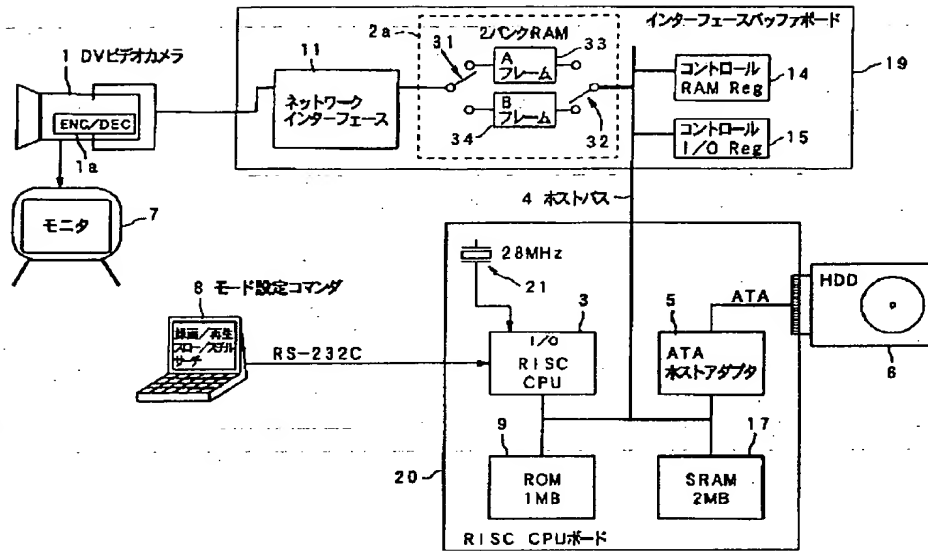


【図12】

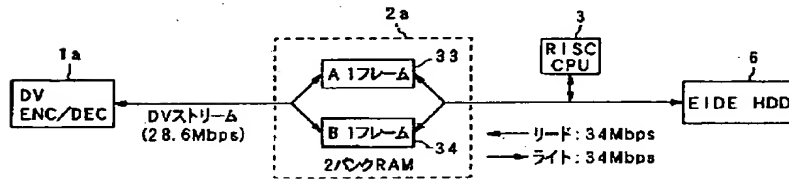


[illegible]

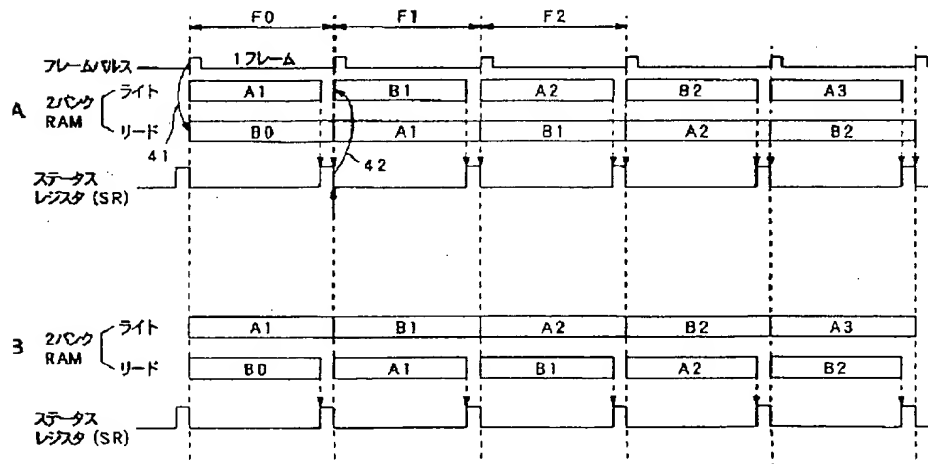
【図 3】



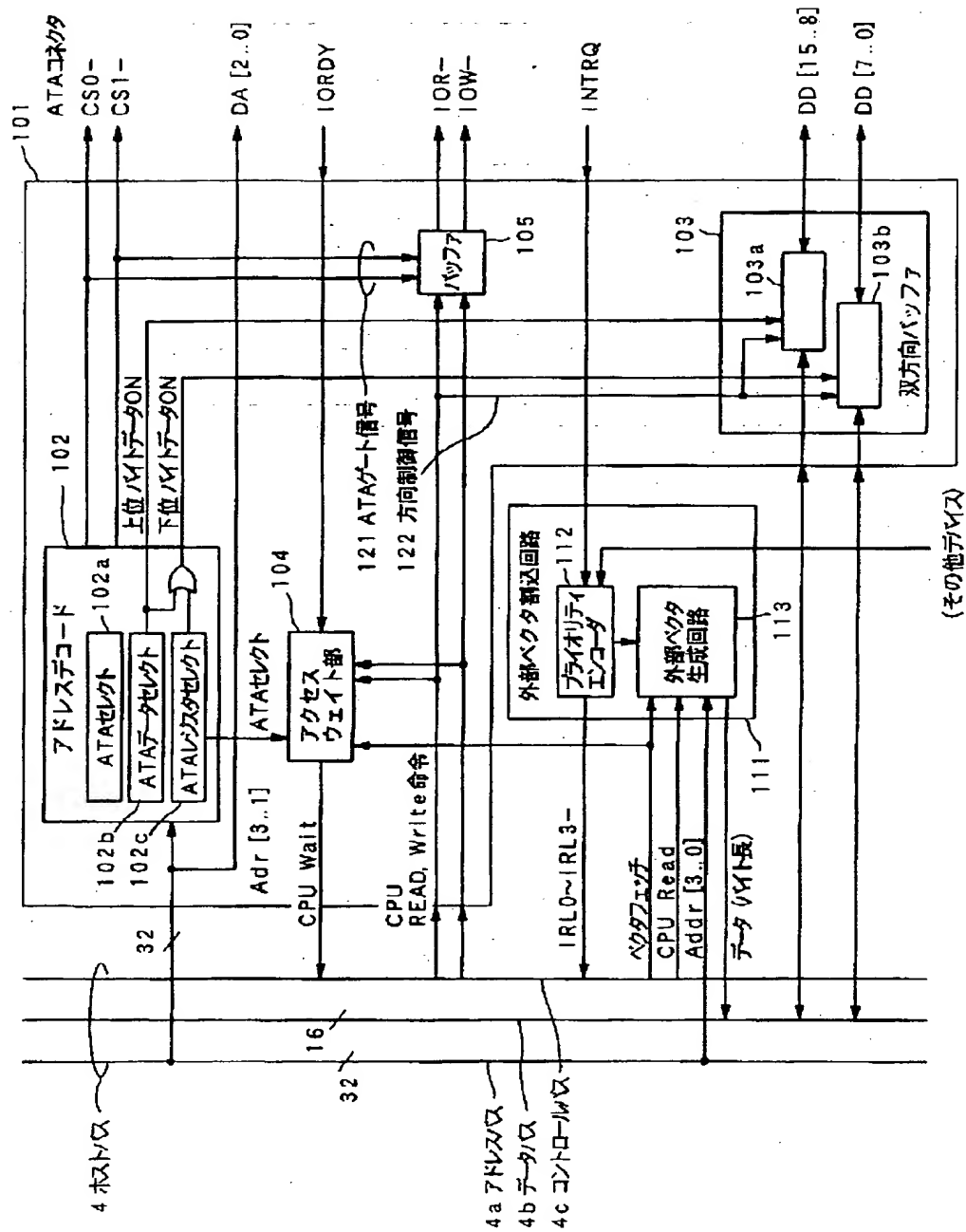
【図 5】



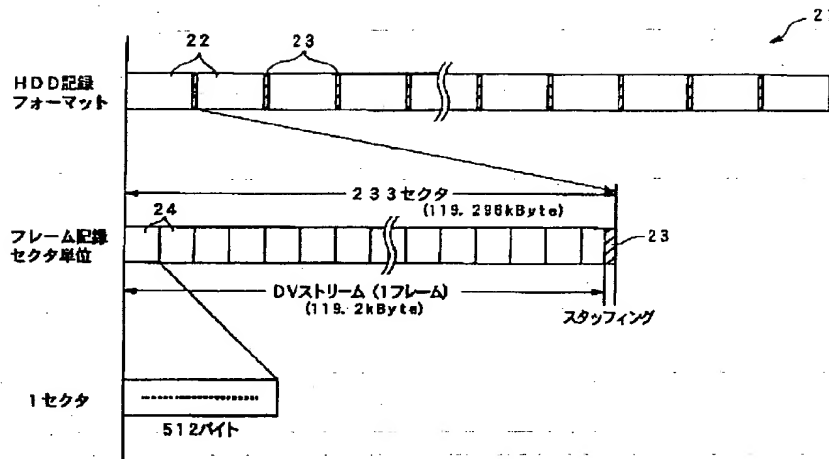
【図 6】



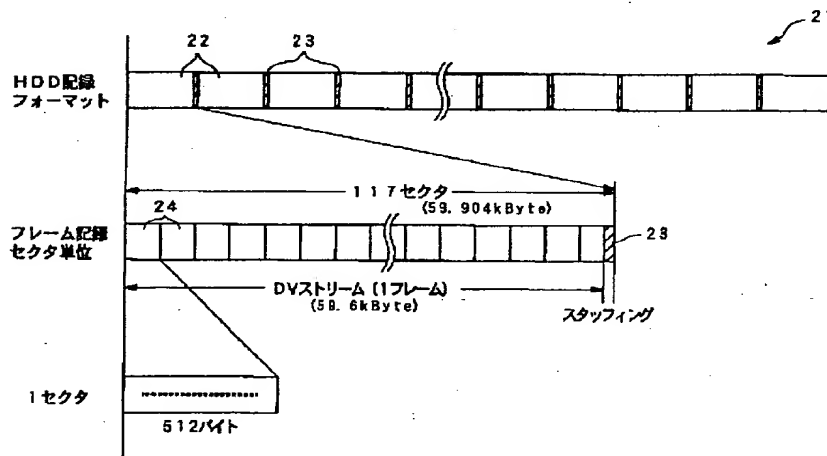
【図4】



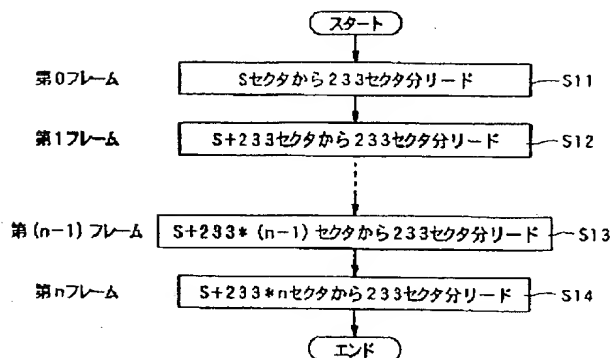
【図 7】



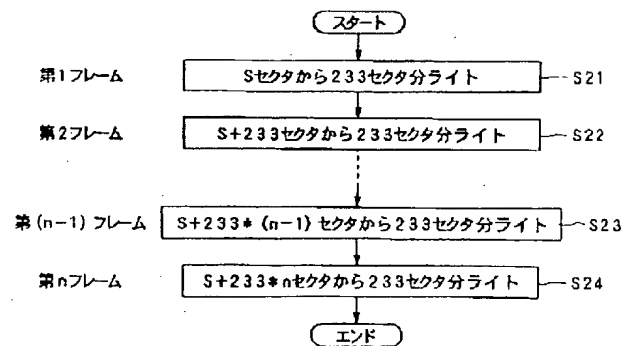
【図 8】



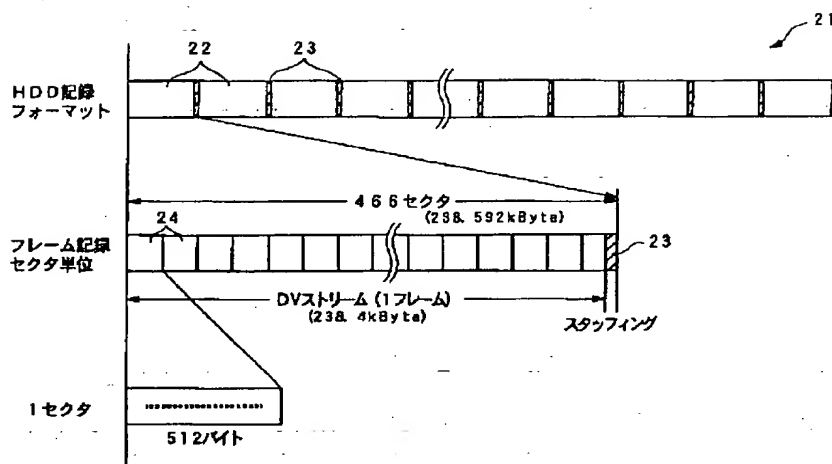
【図 10】



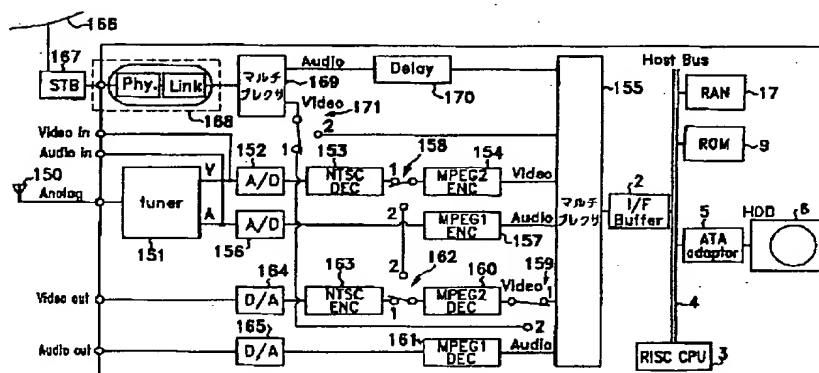
【図 11】



【図 9】



【図 13】



フロントページの続き

(72)発明者 藤井 信子

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.